

PAT-NO: JP02000277700A
DOCUMENT-IDENTIFIER: JP 2000277700 A
TITLE: STATIC DISCHARGE PROTECTION CIRCUIT
PUBN-DATE: October 6, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
MEN, WAN RIU	N/A
TAO, CHEN RUU	N/A
MAM, TSUN WAN	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MICRONICS INTERNATL CO LTD	N/A

APPL-NO: JP11118432

APPL-DATE: March 23, 1999

INT-CL (IPC): H01L027/04, H01L021/822 , H01L021/8234 ,
H01L027/088

ABSTRACT:

PROBLEM TO BE SOLVED: To decrease an input insulation resistance for improved input protection performance by annexing a pick-up region to one of primary and secondary protective devices which share a diffusion region.

SOLUTION: A field oxide device 300 of a primary protective device comprises a drain diffusion region 306, source diffusion region 308, and field oxide region 320. A secondary protective device 302 is an n-channel MOS transistor with grounded gate which comprises the source diffusion

region 308, a drain diffusion region 310, and a polysilicon gate 325 formed in the channel region between the source diffusion region 308 and drain diffusion region 310. The field oxide device 300 of the primary protective device and secondary protective device 302 comprise detached drain regions 306 and 310, respectively, while sharing a source region. Further, a substrate pick-up 304 is annexed to the secondary device 302 away from the primary protective device 300.

COPYRIGHT: (C)2000,JPO

【特許請求の範囲】

【請求項1】半導体基体上の集積回路の端子を保護するための静電気放電保護回路であって、前記半導体基体に形成された一次の保護デバイスと、前記半導体基体に形成された二次の保護デバイスを備え、前記一次の保護デバイスと二次の保護デバイスは拡散領域を共有し、且つ前記一次と二次の保護デバイスの一方に隣接して接地されたピックアップ領域を有することを特徴とするESD保護回路。

【請求項2】前記一次の保護デバイスは、フィールド酸化物を含むことを特徴とする請求項1に記載のESD保護回路。

【請求項3】前記二次の保護デバイスは、ダイオードを含むことを特徴とする請求項1に記載のESD保護回路。

【請求項4】前記一次の保護デバイスは、薄いゲートのNMOSデバイスを含むことを特徴とする請求項1に記載のESD保護回路。

【請求項5】前記二次の保護デバイスは、薄いゲートのNMOSデバイスを含むことを特徴とする請求項4に記載のESD保護回路。

【請求項6】前記一次の保護デバイスのゲートは、前記二次の保護デバイスのゲートより長いことを特徴とする請求項5に記載のESD保護回路。

【請求項7】前記一次の保護デバイスは、SCRを含むことを特徴とする請求項1に記載のESD保護回路。

【請求項8】前記保護された端子は、内部回路に接続された入力パッドを含むことを特徴とする請求項1に記載のESD保護回路。

【請求項9】前記ピックアップ領域は、前記二次の保護回路と前記内部回路の間に配置されていることを特徴とする請求項8に記載のESD保護回路。

【請求項10】減少した絶縁抵抗を有し、集積回路を保護するための、静電気放電保護回路を製作するための方法であって、半導体基体に一次の保護デバイスを形成するステップと、

半導体基体に二次の保護デバイスを形成するステップとを有し、前記一次の保護デバイスと二次の保護デバイスは拡散領域を共有し、且つ前記一次と二次の保護デバイスの一方に隣接してピックアップ領域を形成するステップを有することを特徴とする方法。

【請求項11】第1導電型の半導体基板上にコンタクトパッド用の静電気放電(ESD)保護構造体であって、前記パッドに結合された、基板内の第2導電型の第1拡散領域と、基板内の第1のチャネル領域によって前記第1の拡散領域から離れた、基板内の第2導電型の第2拡散領域を備え、前記第1と第2の拡散領域が一次の保護デバイスの端子を形成し、

前記パッドに結合され、基板内の第2チャネル領域によって前記第2拡散領域から離れた、基板内の第2導電型の第3拡散領域であって、前記第2と第3の拡散領域は、善意一次の保護デバイスより小さい破壊電圧を有する第2の保護デバイスの端子を形成し、且つ前記第3の拡散領域から離れ、供給基準電位に結合された、基板内の第1導電型の第4拡散領域を有することを特徴とするESD構造体。

【請求項12】前記第1チャネル領域に基板の表面上にフィールド酸化物を有することを特徴とする請求項11に記載のESD構造体。

【請求項13】前記第2チャネル領域上に誘電体の層とゲート構造を含み、前記ゲート構造は供給基準電位に結合されていることを特徴とする請求項11に記載のESD構造体。

【請求項14】前記第3と第4の拡散領域間に基板の表面上にフィールド酸化物を含むことを特徴とする請求項11に記載のESD保護構造体。

【請求項15】基板内に一次の保護デバイスとしてSCRを形成する構造を有することを特徴とする請求項11に記載のESD保護構造体。

【請求項16】前記第1と第2のチャネル領域は、それぞれのチャネル長を有し、

前記第2のチャネル領域上に誘電体の層とゲート構造を備え、前記ゲート構造は供給基準電位に結合されており、且つ前記第1のチャネル領域上に誘電体の層とゲート構造を備え前記ゲート構造は供給基準電位に結合されており、前記第1のチャネル領域のチャネル長は、前記第2のチャネル領域のチャネル長より大きいことを特徴とする請求項11に記載のESD保護構造体。

【請求項17】前記第1のチャネル領域の基板の表面上にフィールド酸化物領域と、

前記第2のチャネル領域上に誘電体の層とゲート構造を備え、前記ゲート構造は供給基準電位に結合されており、且つ前記第3と第4の拡散領域間に基板の表面上にフィールド酸化物領域を有することを特徴とする請求項11に記載のESD構造体。

【請求項18】前記第1の導電型はp型であり、第2の導電型はn型であることを特徴とする請求項11に記載のESD構造体。

【請求項19】前記供給基準電位は、接地であることを特徴とする請求項11に記載のESD構造体。

【請求項20】前記第1、第2、第3及び第4の拡散領域は、それぞれ細長い、実質的に平行の拡散領域を含み、それぞれ拡散コンタクト構造に複数のメタルを含むことを特徴とする請求項11に記載のESD構造体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、静電気放電の保護回路に関し、特に、入力絶縁抵抗を減らして入力保護性

能を増大した静電気放電(electrostatic discharge: ESD)の保護回路に関する。

【0002】

【従来の技術】ESDは、静電荷が他の物体か或いは接地へ急速に消散するとき、高電圧パルスを生じる。集積回路(IC)環境で、装置や人は、製造中や使用中に集積回路に連続的に移されるかなりの量の静電荷を有している。例えば、人体は2000vを超える電荷を蓄積することができ、もし、ICへ放電するならば、ICを損傷するであろう。

【0003】ESDイベント(event)中にデバイスへ与える損傷は、関係した電圧レベルに絶えて放電エネルギーを消散するデバイスの能力のなさによって決まる。これはデバイスのESD感度として知られている。多くの電子素子は比較的低電圧レベルでさえESD損傷を受け易い。

【0004】集積回路のデバイスは益々小さくなっているため、放電を安全に消散するデバイスの能力のなさのために益々ESD損傷が生じる可能性がある。電子デバイスがESDに遭遇すると、放電は、例えば、金属の溶融、接合の破壊、及び酸化物の欠陥の一つ或いはそれ以上を起こすために、電子デバイスは、もはや機能しなくなる。もし、デバイスがESDに遭遇した後故障しないならば、ESDに曝されたことは、デバイスの劣化が起こるかもしれない。この劣化はデバイスの機能を損ない、動作寿命を減少するであろう。

【0005】このESD問題への従来のアプローチは、ESD電荷を接地へ短絡するようにする保護回路をデバイスに設けることであった。図1に示すように、一次の保護デバイスと二次の保護デバイスを有する2段の保護が従来の入力保護構成である。従来の構成において、一次の保護デバイスはESD中に電流の全て、或いはほとんどを短絡し、一方、二次の素子は、一次の装置が完全に動作するまで保護された回路によって生じる電圧或いは電流を制限するように機能する。二次の保護デバイスのトリガー電圧は、一般に一次の保護デバイスのトリガー電圧より低い。例えば、図7(A)は、このような従来の2段保護デバイスのI-V曲線を示す。二次の保護デバイスのトリガー電圧 V_{tr2} は、図において約8.6Vであることを示している。動作電圧が二次の保護デバイスのトリガー電圧に達した後、ESD電流は、一次と二次の保護デバイス間の絶縁抵抗をとって流れる。図7(A)の8.6Vレベルの後、I-Vの直線領域LRによって示されるように、電圧降下($I \times R$)はパッド電圧を上昇する。パッド電圧が、一次の保護デバイスのトリガー電圧である約13.4Vまで上昇すると、一次の保護デバイスはトリガーされて、ESD電流を放電し、グラフのピーク電流Pに達する。

【0006】従来の構成では、保護デバイスのトリガー電圧は固定されている。一次の保護デバイスができる限

り速くトリガーされるためには、ESDイベント中にパッド電圧を早く上昇するように大きな絶縁抵抗が必要である。入力保護の性能を増強するために、この絶縁抵抗はICの内部回路への入力抵抗になり、内部回路の速度を減少する。絶縁抵抗の効果は、高速IC用と特に判断される。

【0007】したがって、保護回路の性能を犠牲にすることなく入力抵抗を減少する新しい回路構成を生成することが望まれる。

10 【0008】

【発明の概要】本発明において、ESD保護回路の入力抵抗を減少する新規な装置及び方法が示されている。内部回路がESD電流によって損傷されるのを保護するため、一次の保護デバイス、二次の保護デバイス、及びビックアップノードを有するESD保護回路が入力パッドと内部回路の間に接続される。新規の装置及び方法は、共通のソース領域を共有する一次と二次の保護デバイスを設けることによって一次の保護デバイスのトリガー電圧を減少するようにされる。この一次の保護デバイスは、ドレイン、ソース、ソースとドレイン間にあるチャネル領域、及び半導体基体のチャネル領域上にあるゲート構造(幾つかの実施形態においては、非導電性のゲートが必要である)を有する。

【0009】二次の保護デバイスもそのドレインと共有されたソース間のチャネル領域の上部にゲート構造を有する。一次と二次の保護デバイスのゲートは、共通のソース領域に接続され、且つ設置される。一次と二次の保護デバイスの双方のドレイン領域は保護される端子に接続される。更に、周囲の半導体基体と同じ導電型の、拡散され、或いは注入された材料を有する、保護構造内に基板ビックアップがある。好適な実施形態においては、この基板ビックアップは、一次の保護デバイスより二次の保護デバイスに隣り合って設けられる。

【0010】薄いゲートNMOSデバイスを含むが、これに限定されないいろいろなデバイスが一次及び二次の保護デバイスとして働く。一つの実施形態において、一次の保護デバイスはフィールド酸化物デバイスを有し、二次の保護デバイスは接地されたゲートNMOS(GGNMOS)を有する。他の実施形態においては、一次の保護デバイスは、薄いゲートのNMOSを有する二次の保護デバイスのゲート長さより長いゲート長さを有する薄いゲートNMOSを有している。更に、他の実施形態では、一次の保護デバイスは低電圧SCRを有し、且つ二次の保護デバイスはNMOSを有する。

【0011】本発明は、出力パッドや電力パッドに適用することができるが、それに限定されない。しかし、2段の保護構造のために含まれる大きな面積のために、保護される端子のほとんど共通して入力パッドを含む。

【0012】要約すれば、共通のソースの実現の下で、一次の保護デバイスのトリガー電圧は著しく下げられ、

二次の保護デバイスのトリガー電圧と実質的に同じである。一次の保護デバイスのトリガー電圧が減少するので、それに伴って絶縁抵抗体の抵抗を減少することができ、したがって、保護回路の性能の妨げとなる絶縁抵抗のための必要性を除去することができる。

【0013】本発明の更なる特徴および利点は、以下の詳細な説明に述べられ、その説明から明らかになるであろうし、本発明の実施によって教えられるであろう。本発明の特徴および他の利点は、以下の説明において特に指摘された構造によって、また添付図面ばかりでなく本発明の請求項によっても理解されるであろう。

【0014】これら及び他の利点をな製するため、および本発明の目的にしたがって、広く記載されるように、本発明は、半導体基体上の集積回路の端子を保護するための静電気放電(ESD)保護回路として特徴づけられ、半導体基体に形成された一次の保護デバイスと前記半導体基体に形成された二次の保護デバイスを有しており、前記一次の保護デバイスと二次の保護デバイスは、拡散領域及び前記一次と二次の保護デバイスの一方に隣接する接地されたピックアップ領域を共有することを特徴とする。

【0015】本発明の他の特徴は、減少した絶縁抵抗を有し、集積回路を保護するための静電気保護回路を作るための方法として特徴づけられ、この方法は、半導体基体に一次の保護デバイスを形成するステップと半導体基体に二次の保護デバイスを形成するステップを有し、前記一次の保護デバイスと二次の保護デバイスは拡散領域を共有し、且つ一次と二次の保護デバイスの一方に隣接して接地されたピックアップ領域を形成するステップを有する。

【0016】以上の一般的な説明及び以下の詳細な説明のいずれも例示および説明のためであり、クレームされた本発明の更なる説明を提供するために意図されていることが理解されるべきである。

【0017】

【発明の実施の形態】添付図面を参照して本発明を詳細に説明する。本発明の好適な実施形態の以下の説明は、概要の説明のみのためになされていることを留意されたい。本発明は、開示されたものに限定されることを意図していない。

【0018】図1は、導電性パッド100と保護される回路102間に位置された従来の2段保護構造であり、この保護構造は、絶縁抵抗108を介して二次の保護デバイス106に接続された一次の保護デバイス104を有する。図2に示されるように、一般に、フィールド酸化物デバイス200は一次の保護デバイスとして用いられ、接地されたゲートのNMOS(GGNMOS)202は二次の保護デバイスとして用いられている。

【0019】従来構造における二次の保護デバイス106は、一次の保護デバイス104の V_{tr1} より低いトリ

ガー電圧 V_{tr2} を有している。例えば、図7(A)は、図2に示された従来の保護デバイスのI-V曲線を示す。図7(A)は、二次の保護デバイスとして働いているGGNMOS202のトリガー電圧は約8.6Vであることを示している。この電圧は、図7(A)において V_{tr2} として示されている。そのトリガーで圧に達した後、GGNMOS202は、ターンオンし、ESD電流は絶縁抵抗108を通して流れる。ESD電流と抵抗108の抵抗の積に等しい電圧がパッド電圧をビルドアップする。このビルドアップフェーズは、8.6V後の直線I-V領域LRに表されている。

【0020】図7(A)のグラフは、パッド電圧が一次の保護デバイスとして働くフィールド酸化物デバイス200のトリガー電圧であるほぼ13.4Vを超えると、ターンオンすることを示している。この点は、図7(A)において V_{tr2} として示されている。パッド電圧が13.4Vのスレッシュホールドを越えた後、一次の保護デバイスはスナッチバックヘトリガーされてESD電流を放電する。したがって、従来の2段構造においては、一次の保護デバイスを速くターンオンさせるために、大きな絶縁抵抗108が低い電流レベルでパッド電圧を増加することが必要である。絶縁抵抗108は、通常100~150オームの範囲内である。また、この絶縁抵抗は、ICの内部回路102への入力抵抗でもある。100~150オームのオーダーの入力抵抗は、内部回路102のスピード、特に高速ICのために著しい効果を持っている。

【0021】本発明において、絶縁抵抗に対する必要性を減少するための新規な装置及び方法が示される。この発明の1つの中心概念は、一次の保護デバイスと二次の保護デバイスによって共有されるべき共通のソース拡散領域を実現することによって一次の保護デバイス104のトリガー電圧を減少することである。一次の保護デバイス104及び二次の保護デバイス106としていろいろなデバイスを利用することができる。

【0022】図3は、一次の保護デバイスとしてフィールド酸化物デバイス300、及び二次の保護デバイスとしてGGNMOS302を用いて構成の実現可能なレイアウトを示す。フィールド酸化物デバイス300及びGGNMOS302は、離れたドレイン領域306と310をそれぞれ有する。しかし、それらは共通のソース領域を共有する。フィールド酸化物デバイス300は、ドレイン拡散領域306、ソースと拡散領域308、及びフィールド酸化物領域320を有する。このフィールド酸化物領域は、比較的厚い酸化物構造、例えば、いわゆるLOCOSプロセスによって形成された構造を有する。他の酸化物構造を同様に利用することもできる。拡散領域とのコンタクトは、ドレイン拡散領域における基板-メタルコンタクト、例えば330、及びソース拡散領域における基板-メタルコンタクト、例えば331を

通して行なわれる。メタル接続は、ドレイン拡散領域におけるコンタクト、例えば330及びパッドへ接続されるメタルライン322、及びソース拡散領域308におけるコンタクト、例えば331及び接地へ接続されるメタルライン324によって概略図示されている。

【0023】この例において、二次の保護デバイスは、ソース拡散領域308、ドレイン拡散領域310、このソース308とドレイン310間のチャネル領域上に形成されたポリシリコンゲート325を有する接地されたゲートのnチャネルMOSトランジスタである。例えば100〜200Åの厚さの薄い酸化物が既知の技術でゲートと325の下に形成される。メタルライン323は、二次の保護デバイス302のドレイン拡散領域310におけるメタルコンタクト、例えば332、及びパッドへ拡散で接続される。金属ライン325は、ピックアップ拡散領域304におけるメタルコンタクト、例えば333、及び接地へ拡散で接続される。ポリシリコンゲート325もメタルライン324に接続されて、接地されたゲートを形成する。したがって、接地されたゲートのnチャネルMOSトランジスタ302はダイオード構成に接続される。

【0024】本発明をより効果的にするために、基板ピックアップ304が保護デバイスの一方に隣接して配置される。このピックアップは半導体基体コンタクトを表す。好適な実施形態において、ピックアップ304は、一次の保護デバイス300から離れた二次の保護デバイス302に隣接して配置される。この好適な配列は図3に示される。この好適な配列は、一次の保護デバイス300のトリガーを誘導するように、ソース/基盤の高電位の確立をより効果的に促進する助けとなる。

【0025】図4は、断面図における図3の実現化した構造を示し、且つ図4を参照して、正孔と電子の移動による本発明の基本的な働きを理解することができる。図4は、第1の供給電圧 V_{dd} 410がフローティングしており、第2の供給電圧 V_{ss} 412が設置されている極性状態での本発明の動作を示す。パッド100がGGNMOS302のドレイン接合310のアバランシェ破壊電圧に達すると、電子及び正孔がドレイン接合310付近に発生する。発生された正孔は基板電流に寄与し、基板のピックアップ304に集められる。これは図4の電流路401として表されている。正孔電流は、0.6Vのオーダーで基板材料408に電圧降下を生じ、基板-ソース接合が順方向にバイアスされるようにし、十分に導通する。これは、図4に示された抵抗とダイオードのシンボルを含む電流路402として表されている。この電圧で電子はソース308から基板408へ注入される。注入された電子は2つの電流路、即ち、フィールド酸化物デバイス300のドレイン接合306へ向かう電流路404及びGGNMOS302のドレイン接合310へ向かう電流、を形成する。フィールド酸化物デバイス3

00のドレイン接合306は、ESDストレスを受けているパッド100へ直接接続されているため既に高電圧にある。位置の保護デバイス300のドレイン306へ向けられた電子電流は、酸化物デバイス300のトリガー電圧を著しく低くするであろう。したがって、抵抗体の両端に電圧降下を起こさせるために、一次の保護デバイス300と二次の保護デバイス302間に絶縁抵抗を設ける必要がないであろう。2段階保護構造における絶縁抵抗の除去は、回路に対する十分なESD保護を犠牲にすることなく集積回路に対する高い動作(または減少)速度を導くであろう。

【0026】図7(B)は、図4の共通のソース形成をした場合の測定されたI-V曲線である。図7(A)と比較して、一時と二次の保護デバイスは、図7(B)における" V_{tr} "で示された8.6Vのほぼ同じトリガー電圧を有することが観察された。トリガー電圧が同じでない程度まで、小さな抵抗値の絶縁抵抗を必要としてもよい。

【0027】本発明のきょ通ソースの構成は、いろいろなデバイスによって実現可能であり、図5(A)と図5(B)、及び図6(A)と図6(B)はある例である。図5(A)と図5(B)煮において、一次の保護デバイスと二次の保護デバイスは両方とも薄いゲートのNMOSである。したがって、一次の保護デバイスはドレイン拡散領域506と共通のソース拡散領域504を有している。ポリシリコンのゲート構造510がソース領域504とドレイン領域506間のチャネル上に形成される。このチャネルは、ドレイン領域506からソース領域504へ延びる長さ L_p を有する。二次の保護デバイスはドレイン拡散領域502とソース拡散領域504を有している。ポリシリコンのゲート構造508がドレイン領域502とソース領域504間のチャネル上に形成される。このチャネル領域は、ドレイン領域506からソース領域504へ延びる長さ L_s を有していて、一次の保護デバイスのチャネル長 L_p より小さい。

【0028】図5(B)は、図5(A)の断面における構造を示す。ピックアップ512とドレイン領域フィールド酸化物領域520間にフィールド酸化物領域が厚い酸化物領域として示されている。ゲート508とテーと510の下の薄い酸化物(膜)が領域521に示されている。拡散領域502、504と505は、p型基板514におけるn型拡散領域である。一次と二次の保護デバイスのドレイン502と506は一緒に接続されて、パッド100に結合されている。共通のソース504は保護デバイスのゲート508と510に接続され、更に接地されている。基板ピックアップ512は接地され、基板514と同じ導電型である。本願発明が正常に機能するためには、一次の保護デバイスのゲート510の下チャネル領域長は、二次の保護デバイスのゲート508の下チャネル領域長より長い、或いはデバイスは二次の保護デバイスが先ずスナップバックに達することを確実

にするために別のやり方で具現化されることが好ましい。

【0029】図6(A)と図6(B)において、一次の保護デバイスがSCR602によって具現化され、二次の保護デバイスが薄いゲートのNMOS600によって具現化されている。SCR(silicon controlled rectifier)は、単位面積あたりのESD性能に関して全ての保護デバイスのなかで最も効率のよいものの一つである。基本的なSCR602はp-n-p-nデバイスである。図6(A)は、SCRを用いて実現したレイアウトを示す。ピックアップ拡散領域620が二次の保護デバイスのドレイン616に隣接して形成される。フィールド酸化物領域がピックアップ620とドレイン616間に形成される。ゲート構造624が、ソース領域614とドレイン領域616間のチャネル領域上の薄い酸化物(膜)上に形成される。ソース領域614がSCRと共有する。ゲート構造626がSCRのチャネル領域上の薄い酸化物上に形成される。拡散領域612がゲート構造626に隣接して形成される。n型ウエル604が拡散領域612に隣接して形成される。p型拡散領域610がn型ウエル604に形成される。また、n型拡散領域608もn型ウエル604に形成される。

【0030】図6(B)はSCRベースデバイスの断面図である。図示されているように、フィールド酸化物領域650、651と652は、ピックアップ領域620とドレイン拡散領域616間、n型領域612とp型領域610間、及びp型領域610とn型領域608間に形成されている。薄い酸化物(膜)がゲート構造624と626の下に形成される。拡散616、610と608はパッド100に接続される。ゲート構造624と626は接地される。

【0031】本発明は、特に、入力パッドの保護に適している。しかし、出力パッド、入力/出力パッド、及びパワーパッドにも使用することができる。出力バッファは比較的大きく、本発明の2段保護構造は望ましくないかもしれない。本発明は、共有されたソース拡散領域を用いて一次の保護デバイスのトリガー電圧を低下し、絶

縁抵抗の必要性を除くか、或いは減少する。したがって、入力パッド上の入力抵抗はできるだけ小さくすることができ、回路のスピードを増大する。

【0032】本発明の好適な実施形態の以上の説明は概要の説明のために行なわれた。本発明を開示された形状に限定することを意図するものでない。多くの変形や変更が当業者によって成されることは明らかである。本発明の範囲は、請求項及びその均等物によって定められることが意図される。

10 【図面の簡単な説明】

【図1】従来の2段ESD保護回路の概略図である。

【図2】一次の保護デバイスとしてフィールド酸化物デバイス、及び二次の保護デバイスとして接地されたゲートNMOSを有する従来の2段ESD保護回路の概略図である。

【図3】本発明による一次の保護回路としてフィールド酸化物を有し、二次の保護回路として接地されたゲートNMOSを有するESD保護回路の共通ソースの実現のためのレイアウトである。

20 【図4】一次の保護回路としてフィールド酸化物を有し、二次の保護回路として接地されたゲートNMOSを用いる本発明の実施形態の1つを示す断面図である。

【図5A】一次及び二次の保護デバイスとして薄いゲートのNMOSを用いる本発明の実施形態の1つのレイアウトである。

【図5B】本発明による図5(A)の実施形態の断面図である。

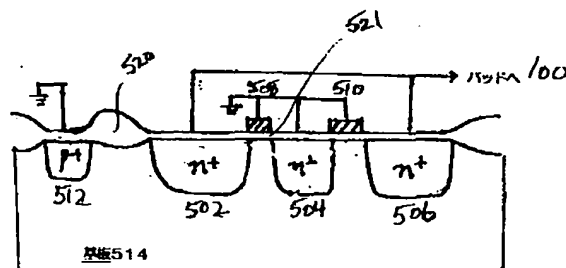
【図6A】一次の保護回路として低電圧トリガーSCR、且つ二次の保護回路として接地されたゲートNMOSを用いる本発明の実施形態の1つを示すレイアウトである。

【図6B】本発明による図6(A)の実施形態の断面図である。

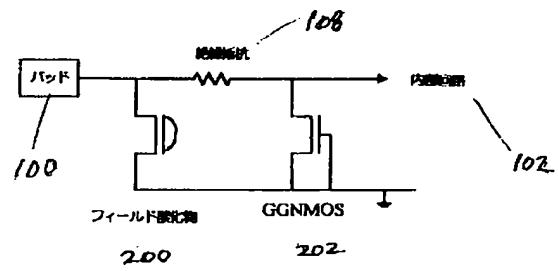
【図7A】図2における従来の保護回路の測定されたI-V曲線を示す。

【図7B】本発明の共通ソース実現のための測定されたI-V曲線を示す。

【図5B】



【図2】



(附錄五)

【図5A】

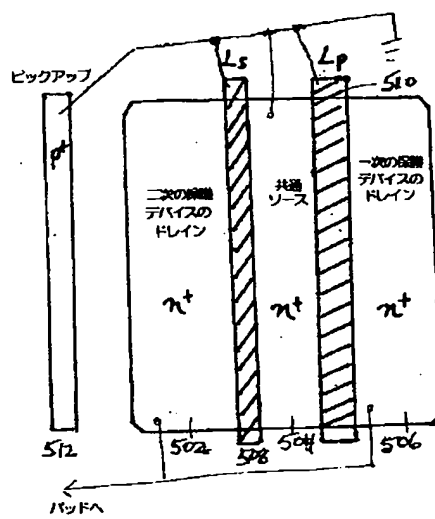
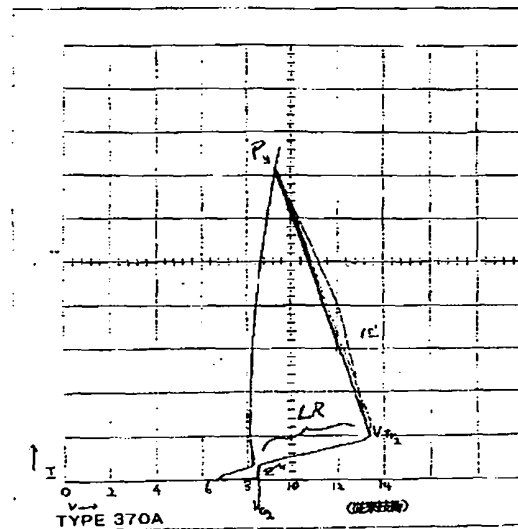


Diagram illustrating the cross-section of a semiconductor device. The structure consists of several layers and regions:

- Top Layer:** Labeled "ピックアップ" (Pickup).
- Second Layer:** Labeled "二次の酸化" (Secondary Oxide).
- Third Layer:** Labeled "デバイス用のドレイン" (Drain for Device).
- Central Region:** Labeled "共通ソース" (Common Source).
- Regions:** Labeled p^+ (p-plus) and n^+ (n-plus).
- Dimensions:** Labeled with values 620, 616, 624, 614, 612, 61, and 608.
- Reference:** Labeled "N-ワエル 604" (N-Wafer 604).

[illegible][illegible]

【図7A】



【手続補正書】

【提出日】平成11年6月11日(1999. 6. 1)

【手続補正1】

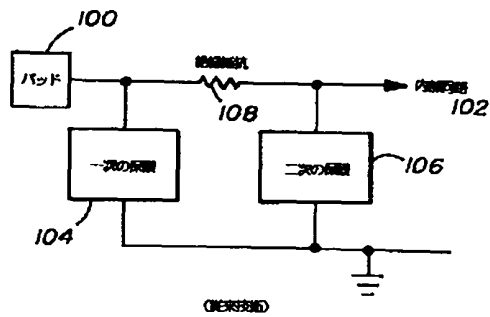
【補正対象書類名】図面

【補正対象項目名】全図

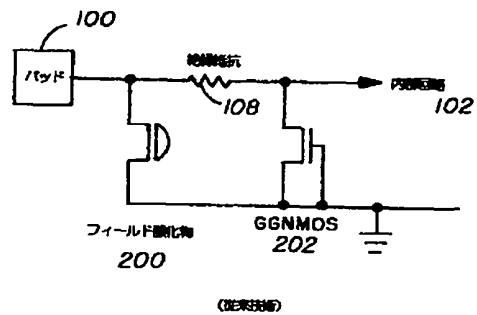
【補正方法】変更

【補正内容】

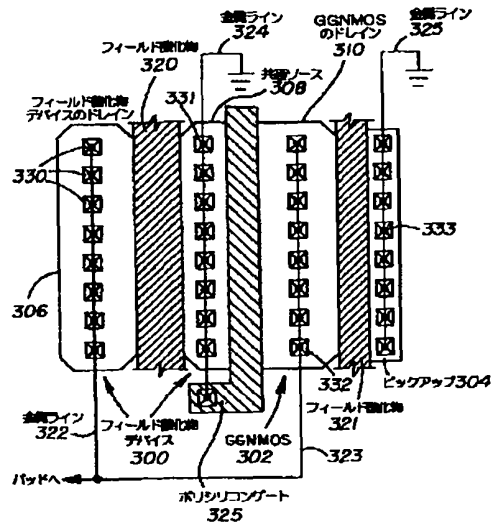
【図1】



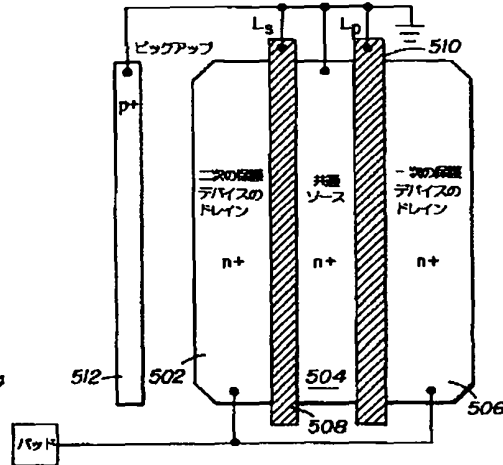
【図2】



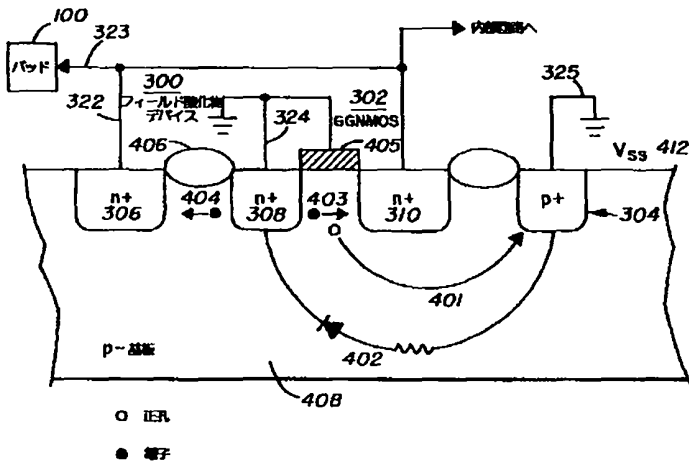
【図3】



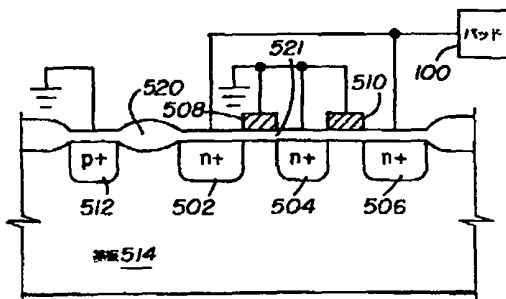
【図5A】



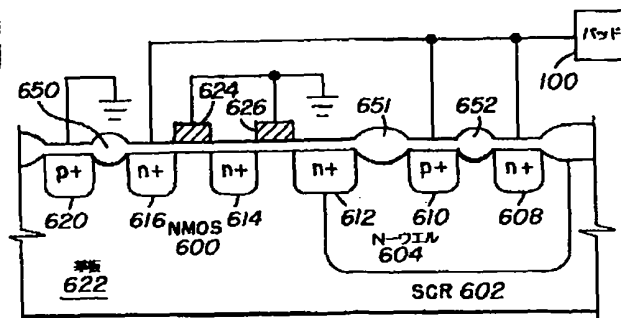
【図4】



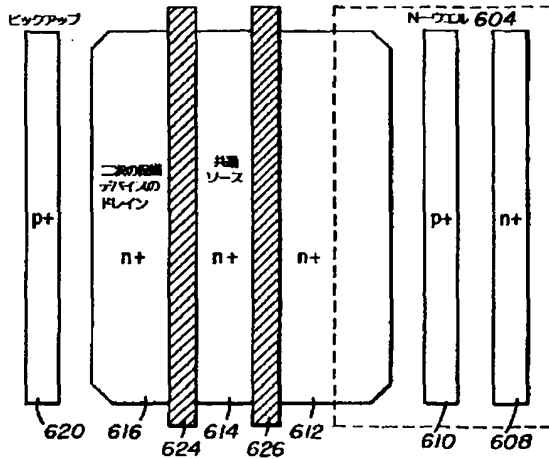
【図5B】



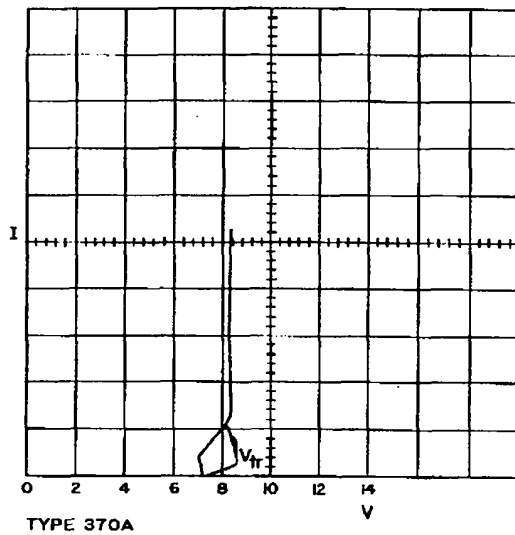
【図6B】



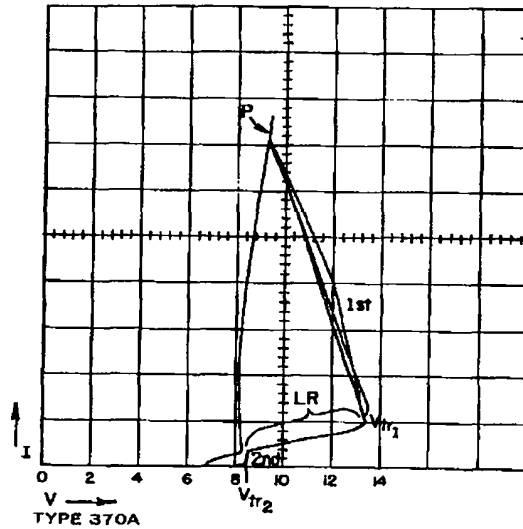
【図6A】



【図7B】



【図7A】



(DETAILED)

フロントページの続き

(72)発明者 タオ チェン ルー
台湾 カオーシュン サン ミン ディス
トリクト ヌエー チアン ストリート
レーン 1-36

(72)発明者 マム ツン ワン
台湾 シンチュ サイエнтиフィック
パーク ロード レーン 162 アリー
3-18

Fターム(参考) 5F038 AV06 BH01 BH05 BH07 BH13
CA02 EZ20

5F048 AA02 AB06 AB07 BB05 BC01